

Программируемые аналоговые ИС Anadigm: подключение и загрузка конфигурационных данных с внешней микросхемы памяти при статическом конфигурировании

(часть 2)

Александр Щерба (Москва)

В статье даётся описание процесса инициализации ПАИС Anadigm, приведены различные варианты схем подключения внешней микросхемы памяти к ПАИС на примере SPI EPROM AT25080. Эта часть статьи посвящена работе с ПАИС третьего поколения.

ПАИС третьего поколения поддерживают автоматическую загрузку конфигурационных данных только с микросхемами памяти SPI EPROM (семейство AT25), работа с микросхемами памяти семейства AT17 не поддерживается. Следующее существенное отличие касается тактирования ПАИС. Если ПАИС 2-го поколения содержат в своём составе тактовый генератор, рассчитанный на подключение кварцевого или керамического резонатора, то в ПАИС 3-го поколения он отсутствует, а для тактирования необходим внешний генератор с частотой менее 16 МГц, подключаемый к выводу ACLK.

Процесс инициализации ПАИС 3-го поколения аналогичен процессу инициализации ПАИС 2-го поколения и начинается автоматически при поступлении питания. ПАИС формирует внутренний сигнал сброса, очищает конфигурационную и теневою память, считывает конфигурационные данные с внешней микросхемы памяти и инициализирует конфигурационную логику ПАИС. Процесс загрузки конфигурационных данных начинается с установкой на вывод CFGFLGb «лог. 0» (активный уровень), который поступает на вход выбора сигнала CSb EPROM. Затем с вывода SO поступает команда чтения EPROM, тактированная сигналом на выводе MEMCLK,

после чего конфигурационные данные от EPROM поступают на вход SI ПАИС (рис. 4). После загрузки конфигурационных данных на выводе CFGFLGb устанавливается «лог. 1».

ИСПОЛЬЗОВАНИЕ ОДНОЙ МИКРОСХЕМЫ ПАМЯТИ ДЛЯ ЗАГРУЗКИ КОНФИГУРАЦИОННЫХ ДАННЫХ В НЕСКОЛЬКО ПАИС ТРЕТЬЕГО ПОКОЛЕНИЯ СЕРИЙ AN13x/AN23x

На рис. 5 представлен один из вариантов подключения трёх микросхем ПАИС к микросхеме памяти SPI EPROM (AT25080).

Загрузка конфигурационных данных происходит последовательно во все микросхемы ПАИС в цепочке FPAА1 → FPAА2 → FPAА3, после загрузки конфигурации в последнюю микросхему одновременно на всех микросхемах активизируется конфигурационная логика. Микросхемы в цепочке работают в режиме MODE=1. Этот режим предусматривает статический режим работы ПАИС с загрузкой конфигурационных данных по последовательному интерфейсу (SPI). В режиме MODE=1 конфигурационный тактовый сигнал с вывода MEMCLK (FPAА1) поступает на вывод SCLK EPROM, конфигурационный тактовый сигнал получается путём деления тактовой частоты ACLK на 16.

Выводы CS1b следующих за первой ПАИС в цепочке соединены с выводами LCCb предыдущих микросхем, поэтому в момент загрузки первой ПАИС остальные микросхемы находятся в режиме ожидания, т.к. на их входах CS1b присутствует уровень «лог. 1». После того как первая ПАИС (FPAА1) закончит загрузку конфигурации, её выход LCCb перейдёт в состояние «лог. 0», разрешающее начало конфигурирования следующей за ней микросхеме FPAА2. Последовательно с загрузкой конфигурационных данных двунаправленный вывод ACTIVATE сконфигурированных ПАИС будет переходить из состояния «лог. 0» в Z-состояние, но состояние «лог. 0» будут удерживать ПАИС, не получившие конфигурационные данные.

По окончании загрузки конфигурационных данных на все ПАИС в цепочке, на общей шине ACTIVATE установится уровень «лог. 1», который активизирует конфигурационную логику на всех микросхемах одновременно, вывод CFGFLGb освободится (перейдёт в Z-состояние), и на нём будет присутствовать сигнал «лог. 1» благодаря наличию внутреннего или внешнего подтягивающего резистора. В течение загрузки конфигурации и работы все выводы ERRb будут находиться в Z-состоянии, на них будет присутствовать сигнал «лог. 1» благодаря обязательному внешнему подтягивающему резистору. Сигнал «лог. 0» может появиться в случае возникновения ошибки в работе одной из ПАИС, и он будет общим для всех ПАИС. Длительный сигнал «лог. 0» (более 240 тактов ACLK) на шине ERRb вызовет

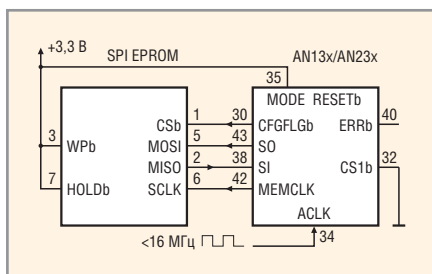


Рис. 4. Схема подключения SPI EPROM-памяти к микросхеме AN13x/AN23x

сброс ПАИС, и процесс загрузки конфигурационных данных повторится.

При использовании более трёх микросхем ПАИС дополнительные микросхемы должны подключаться аналогично второй или третьей ПАИС.

ЗАКЛЮЧЕНИЕ

Перечислим основные достоинства конфигурационного интерфейса программируемых аналоговых схем Anadigm:

- при включении питания ПАИС Anadigm автоматически загружает конфигурационные данные от внешней микросхемы ПЗУ;
- гибкий конфигурационный интерфейс позволяет строить слож-

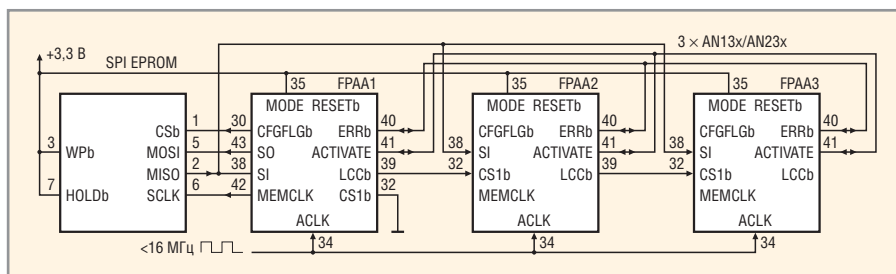


Рис. 5. Схема конфигурирования нескольких ПАИС серий AN13x/AN23x с помощью одной микросхемы SPI EPROM

ные аналоговые схемы с помощью нескольких микросхем ПАИС, объединяя их в цепочки;

- внутренняя диагностика ПАИС выявляет ошибки при загрузке конфигурационных данных и производит автоматическую повторную загрузку конфигурационных данных.

Представленные в статье схемы затрагивали общие положения при подключении ПАИС к микросхемам памяти, дополнительную информацию по другим вариантам схем подключения и особенностями их функционирования можно найти в технической документации на ПАИС Anadigm [2, 3]. В следующих

статьях будут рассмотрены вопросы подключения ПАИС к микроконтроллерам для динамического переконфигурирования аналоговых схем, приведены алгоритмы и коды для загрузки конфигурационных данных.

ЛИТЕРАТУРА

1. Гауси М., Лакер К. Активные фильтры с переключаемыми конденсаторами. Пер. с англ. М.: Радио и связь, 1986.
2. AN121E04/AN221E04 Field Programmable Analog Arrays – User Manual. www.anadigm.com.
3. AN13x series/AN23x series AnadigmApex dpASP Family User Manual. www.anadigm.com.